

**ZADATAK 1.** Napisati VHDL kod za jednobitni potpuni sabirač čija je tablica data u tabeli, a zatim napisati Testbench pomoću koga testiramo funkcionalnost kreiranog sabirača.

| cin | a | b | sum | cout |
|-----|---|---|-----|------|
| 0   | 0 | 0 | 0   | 0    |
| 0   | 0 | 1 | 1   | 0    |
| 0   | 1 | 0 | 1   | 0    |
| 0   | 1 | 1 | 0   | 1    |
| 1   | 0 | 0 | 1   | 0    |
| 1   | 0 | 1 | 0   | 1    |
| 1   | 1 | 0 | 0   | 1    |
| 1   | 1 | 1 | 1   | 1    |

Cin je ulazni bit prenosa, a i b su operandi na ulazu, sum je izlaz iz sabirača, a cout je izlazni bit prenosa

ZADATAK 2. Na osnovu prethodnog zadatka kreirati trobitni potpuni sabirač. Ulazi  $a$  i  $b$ , a takođe i izlaz  $sum$  su magistrale dužine 3 bita. Nakon uspešne provere sintakse napisati i odgovarajući testbench za testiranje funkcionalnosti.